

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama  
Sidang Akademik 1993/94

Oktober - November 1993

EEE 333 - Teknologi Proses Litar Sepadu

Masa : [3 jam]

---

ARAHAN KEPADA CALON :

Sila pastikan bahawa kertas peperiksaan ini mengandungi 5 muka surat bercetak dan **LIMA(5)** soalan sebelum anda memulakan peperiksaan ini.

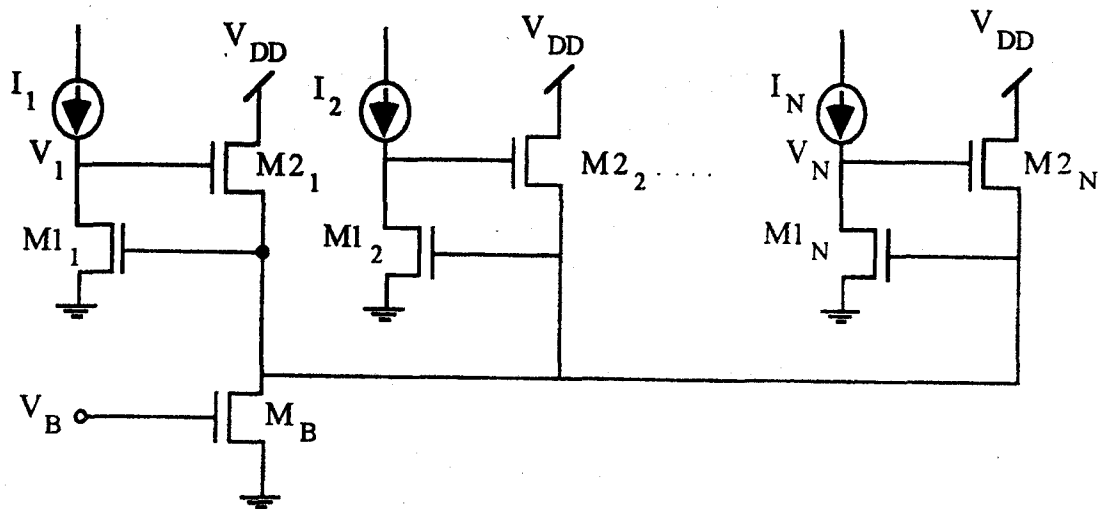
Jawab **EMPAT (4)** soalan.

Agihan markah bagi soalan diberikan di sut sebelah kanan.

Jawab semua soalan di dalam Bahasa Malaysia.

...2/-

1.



Rajah 1

Rajah 1 menunjukkan litar 'Winner take all' yang digunakan di dalam pemprosesan 'Neural'.

(a) Terangkan operasi 'Winner takes all'.

(10%)

(b) Di atas graf I-V, tunjukkan koordinat-koordinat semua transistor MOS (M1 & M2).

(10%)

(c) Rekapipta suatu litar untuk membekalkan  $V_B$ .

(5%)

2. (a) Gunakan gambarajah, terangkan kesan-kesan bocor 'sub-threshold'.

(5.5%)

- (b) Rekacipta skim bentongan (layout scheme) untuk nisbah besar arus salur ke kapasitan.

(5.5%)

- (c) Rekacipta penjana PRBS untuk teknik pengujian 'Signature analysis' VLSI.

(5.5%)

- (d) Gunakan gambarajah, terangkan MODL.

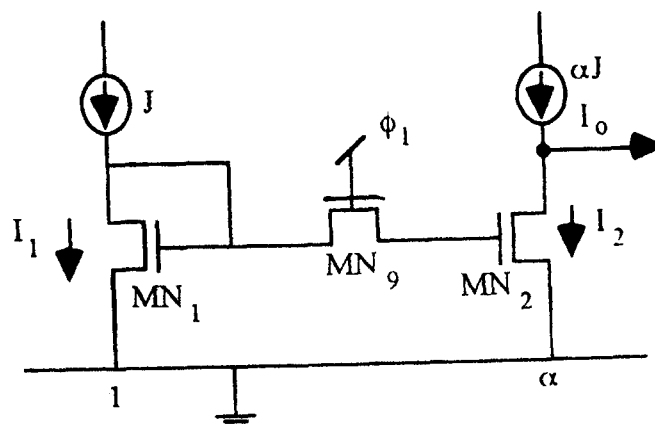
(5.5%)

- (e) Dengan gambarajah proses terangkan 'CMOS Latch-up behaviour'.

(3%)

3. (a) Jelaskan masalah suap terus jam (clock feed throughly) di dalam litar di Rajah 2 dengan menggunakan model-model setara 'stray capacitor'.

(5%)



Rajah 2

...4/-

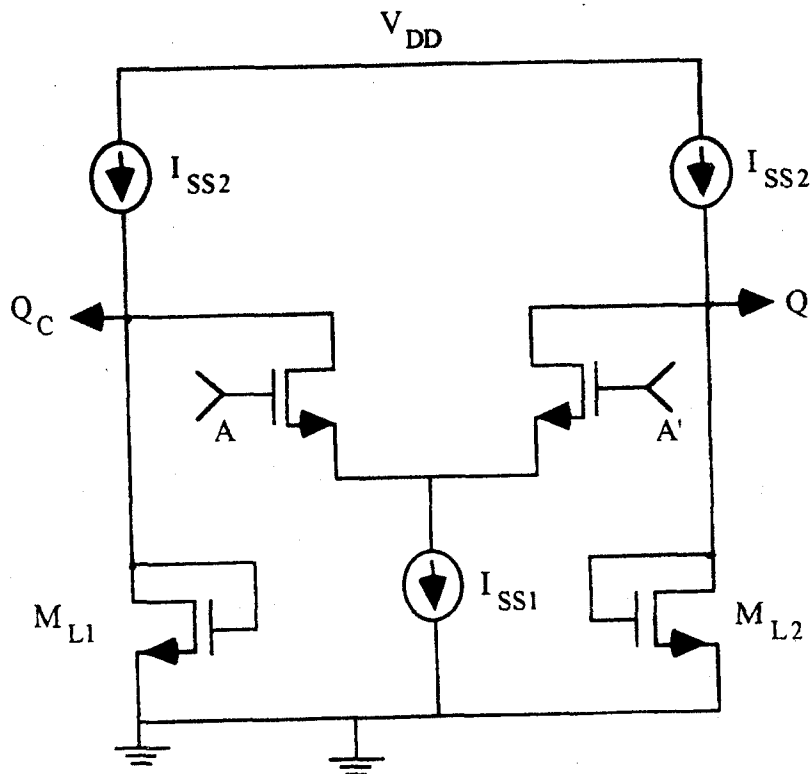
(b) Lakukan analisis taburan kembali cas salur (channel charge redistribution).

(10%)

(c) Rekapipta litar pengurangan suap-terus jam yang lebih baik.

(10%)

4. Rajah 3 di bawah adalah get asas untuk get NMOS 'source coupled'



Rajah 3

- (a) Rekacipta get asas untuk FSCL PMOS. (6%)
  - (b) Rekacipta suatu penambah penuh 1-bit FSCL. (7%)
  - (c) Rekacipta suatu flip-flop jenis-D FSCL. (7%)
  - (d) Lakarkan rajah 'stick' untuk bentongan get asas FSCL. (5%)
5. (a) Lakarkan keratan rentas suatu bongkah proses CMOS dan tunjukkan semua simpang dan kapasitor di antara lapisannya. (7%)
- (b) Lakarkan suatu plan bentangan untuk penjanaan dan taburan isyarat-isyarat jam keseluruhan di atas suatu sistem cip VLSI. (6%)
- (c) Lakarkan litar itu untuk satu 'PAD' masukan dan 'PAD' keluaran (dengan penimbal). (6%)
- (d) Terangkan kesan ketepuan halaju hanyut dengan persamaan-persamaannya. (6%)